

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-67188

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/1343		9018-2K		
1/13	1 0 1	9315-2K		
G 0 9 G 3/36		7319-5G		

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-220383

(22)出願日 平成4年(1992)8月19日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 河内 裕二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

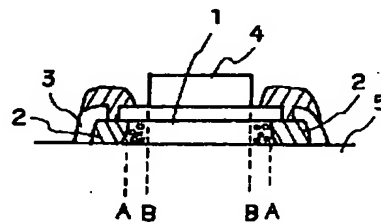
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 線欠陥検出回路

(57)【要約】

【目的】 アクティブマトリックス基板上の線欠陥検出回路の検出用トランジスタのリーク電流が原因で生じるクロストーク不良を防止する。

【構成】 水平走査ドライバー回路内蔵アクティブマトリックス基板上の線欠陥検出回路において、検出用トランジスタがLDD(Lightly Doped Drain)構造又はオフセット構造であることを特徴とする。これらの構造であることによってトランジスタのオフ電流が減少し、ソースライン間のクロストーク不良を防止することができる。選択図にトランジスタの断面を示すがゲート電極4の下部の薄膜シリコンに不純物原子が存在せずさらにAB間にも不純物原子が存在しない構造がオフセット構造、AB間にソースドレイン部2よりも濃度の低い不純物が存在する構造がLDD構造である。



(2)

## 【特許請求の範囲】

【請求項1】液晶表示体を構成するアクティブマトリックス基板において、該アクティブマトリックス基板上に形成された線欠陥検出回路を構成する薄膜トランジスタがLDD (Lightly Doped Drain) 構造であることを特徴とする線欠陥検出回路。

【請求項2】該線欠陥検出回路を構成する薄膜トランジスタが、オフセットゲート構造であることを特徴とする線欠陥検出回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は液晶表示体に関する。

## 【0002】

【従来の技術】アクティブマトリックス液晶パネルは、高画質で高解像度の表示が得られるので近年広く薄型表示体として用いられている。但し画面を構成する画素単位にトランジスタを用いたり積層構造であることから製造歩留りが課題となっている。特にパネル組立て工程で発見される不良は、TFT基板との対向電極であるカラーフィルター基板のコストも含んでいるのでコストダウンの面からTFT基板での検査で不良を落とす必要がある。TFT基板上にドライバー回路を内蔵したTFT基板では各データ線に液晶パネル用ビデオ信号を、書き込むタイミングを利用して正常な信号が書き込まれるか否かを判定しデータ線の線欠陥を検出する回路を活用できる。

【0003】図3に上記線欠陥検出回路の説明図を示す。水平走査を行なうX側シフトレジスタ37によってサンプルホールドトランジスタ35のゲート信号が順次スキャンされ、各データラインにビデオ信号が取り込まれる。このデータラインの信号をサンプルホールドトランジスタの動作タイミングに合わせて検出するのが線欠陥検出回路で検出トランジスタ32と検出端子33、検出トランジスタゲート入力31で構成される。検出トランジスタのゲート入力をオンして検出トランジスタ32を導通状態にするとデータラインの信号がサンプルホールドトランジスタの選択期間ごとに検出端子33に生じる。この信号を検出し正常波形と比較することでデータ線の断線及び線欠陥となるその他の不良、つまりサンプルホールドトランジスタの不良やデータ線のショート欠陥などを発見しどのデータラインかを特定できる。

【0004】この欠陥検出検査を行なわない状態では検出トランジスタ32は常に非導通状態である様に検出ゲート入力を設定する必要がある。但し検出トランジスタ32のオフリーク電流が大きい場合は検出用端子3を通じてデータ線34が隣接ライン間でクロストークを起こし、データ信号の振幅が変化し、表示上線欠陥となり得る場合があった。従来の技術における構造図を図2に示す。1はトランジスタチャネル部、2はソースドレイン部、3はゲート絶縁膜、4はゲート電極の構成となつて

2

いる。ソースドレイン部2はゲート電極の端面Cよりもチャンネル部側に入り込んでいる(Dのライン)。これは例えばゲート電極パターニング後にイオン打ち込み法や熱拡散法でソースドレイン部を形成する様な場合、不純物ドーピング後の活性化アニールでチャンネル部側に拡散されたためである。この様な構造の従来型トランジスタではゲート電極による電界がドレイン端近傍に作用し電界励起によってリーク電流が生じる様になる。

## 【0005】

10 【発明が解決しようとする課題】従来型の検出用トランジスタではオフリーク電流が大きくオフ時トランジスタ抵抗が低いわけであるから図3におけるデータ線34はその隣接ライン間で検出用端子線33を介して、クロストークが生じ、隣接ライン間で電位差がある場合はデータ信号の振幅の変化が生じてしまう。これは表示上では階調差として観察され線状にコントラストの異なるライン欠陥となる。又隣接ライン間のみならず電位差の生じるライン間でも同様のことが生じ縦ラインのむらが生じ著しく面内コントラストの均一性が失われる。

20 【0006】従来の技術では以上の様な線欠陥が画面内コントラスト不均一性を生ずるという課題を有していた。

## 【0007】

【課題を解決するための手段】液晶表示体を構成するアクティブマトリックス基板上に構成された線欠陥検出回路において、構成要素である薄膜トランジスタがLDD (Lightly Doped Drain) 構造又はオフセットゲート構造であることを特徴とする。

## 【0008】

30 【実施例】図3に本発明におけるアクティブマトリックス基板の等価回路部分図を示す。画素スイッチングトランジスタ38はゲートライン39の選択時間にデータ線34のデータを画素容量に書き込む。データ線34へはビデオ線36よりサンプルホールドトランジスタ35を介して選択的にデータが書き込まれる。この様な駆動方法を点順次駆動と称している。サンプルホールドトランジスタ35の選択期間を決定するゲート入力タイミングを出力するのが37のシフトレジスタ回路で水平方向の画素数分の出力をだす役割をはたしている。これらの回路動作を全てガラス基板上の薄膜トランジスタを用いて行なわれ、CMOSのトランジスタを形成して回路を構成する。この様にドライバー駆動部をアクティブマトリックス基板上に形成することで多点実装を行なう必要がなく信頼性の向上や工程削減とコストダウンに通じる。薄膜トランジスタの電気特性を考慮するとデータラインにかかる抵抗や容量等は大きさに限界があり現在商品化されているのは1〜2インチ対角の表示体である。例としては1インチ及びそれ以下の液晶表示体は手持走査可能なビデオカメラのファインダーとして用いられたり、プロジェクター用の液晶シャッターとして広く使われてい

50

(3)

3

る。

【0009】この様なアクティブマトリックス基板の製造工程の後に対向電極であるカラーフィルター基板とのパネル組立て工程があるが、パネル組立て後の表示検査で発見される不良の内、相当の部分がアクティブマトリックス基板工程の不良が原因で生じているものが多い。特に線欠陥は1本でも不良品となるためパネル組立て工程の工数と対向電極基板のコストが無駄となり、コスト低減の妨げとなる。この様なことを回避するためにアクティブマトリックス基板工程で表示上線欠陥となり得る不良を検査し選別する必要が生じる。本実施例で示すドライバ内蔵アクティブマトリックス基板では、ドライバの動作を利用して線欠陥の検査を行うことが可能となる。以下にその動作を説明する。

【0010】シフトレジスタを所定の電圧、タイミングで電圧波形を印加し動作させる。サンプルホルダーはシフトレジスタの出力タイミングに応じて点順次駆動ビデオ信号をソースラインに読み込む。ビデオ信号として一定電圧を印加しておくソースラインにサンプルホルダー選択期間にその電圧が印加される。検出回路のトランジスタの導通状態にすると検出用端子線（図3-3）にサンプルホルダー選択タイミングに応じてソースライン電圧が印加される。この信号を検出し、正常な信号と比較検査することで不良を検出可能となる。

【0011】以上が検出動作であるが液晶駆動時にこの検出回路は動作しないように検出トランジスタ（図3-32）のゲート入力をオフ状態にして非導通にする必要がある。このトランジスタのオフ抵抗が低い値であるとソースラインはその間に電位差が生じる場合、クロストークが生じ各ソースラインの振幅が変化して正確な階調表示ができなくなる可能性がある。

【0012】本発明のLDD構造のトランジスタ又はオフセットゲート構造のトランジスタを採用すればオフ抵抗の充分高い状態が実現できるので上記のクロストークを生じさせないことが可能となる。

【0013】次に本発明におけるLDD構造とオフセットゲート構造について詳細に説明する。本発明における線欠陥検出回路の検出用トランジスタは図1に示す様な断面構造を有している。ガラス透明基板5の上に薄膜シリコンを形成しパターニングする。ゲート絶縁膜3をその上に形成し、さらにゲート電極4を形成する。次にイオン打ち込み法又は拡散法で不純物原子であるP（リン）又はB（ボロン）を注入するわけだが注入後のソース・ドレイン領域が図1に示すゲート電極の端面直下Aよりチャンネル部より外側Bにある構造をオフセットゲート構造と言い、AとBの間にソースドレイン部より低濃

4

度の不純物原子が存在する状態にある構造をLDD構造と称している。これらの構造を用いるとソース、ドレイン間に電圧を印加した場合、ドレイン端近傍の電界が緩和され、電界励起によるリーク電流が従来の構造に比べ減少する。その結果オフ電流が2桁も低下し、オフ抵抗は逆に増大する。この構造に用いる薄膜シリコンの製造法としては、減圧CVD法で多結晶シリコンを形成する方法がある。又プラズマCVD法で非晶質シリコンを形成し、その後熱アニールやレーザーアニールで再結晶化させて薄膜シリコンを形成する方法がある。又LDD構造やオフセットゲート構造を実現させるプロセスとしては、ゲート電極となる金属又は半導体のパターニング時にゲート長さのエッチング量の制御によってLDD構造やオフセットゲート構造を実現する方法がある。又他の方法としてはゲート電極となる金属又は半導体のパターニングの後にTEOS膜をつけ、RIE（リアクティブイオンエッチング）法でTEOS膜を垂直にエッチングパターニングし、その後不純物領域を形成するものがある。こうした方法をとることでLDD構造又はオフセットゲート構造を実現しトランジスタのオフ電流を減少させることが可能となる。線欠陥検出回路でこのトランジスタを用いることでソースライン間のクロストークはなくなり、検出回路が原因で生ずる不良は低減でき、歩留り向上に寄与できる様になる。

【図面の簡単な説明】

【図1】本発明の線欠陥検出用トランジスタ断面図。

【図2】従来の技術における線欠陥検出用トランジスタ断面図。

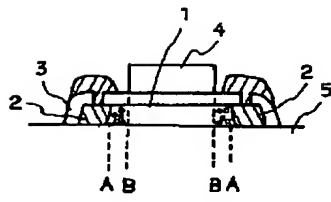
【図3】線欠陥検出回路を含むアクティブマトリックス基板等価回路図。

【符号の説明】

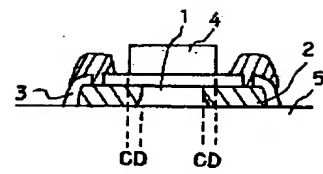
- 1 トランジスタチャンネル部
- 2 トランジスタソースドレイン部
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 ガラス基板
- 31 線欠陥検出回路内検出トランジスタゲート電極配線
- 32 線欠陥検出トランジスタ
- 33 線欠陥検出用端子
- 34 ソースライン
- 35 サンプルホールドトランジスタ
- 36 ビデオライン
- 37 水平走査用シフトレジスタ回路
- 38 画素トランジスタ
- 39 ゲートライン

(4)

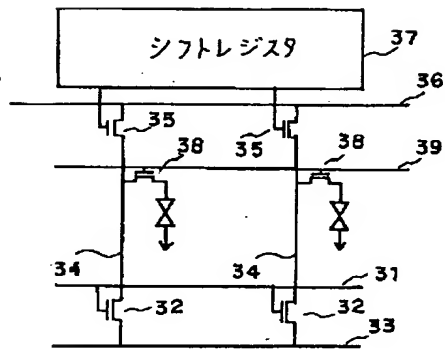
【図1】



【図2】



【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-067188

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

G02F 1/1343

G02F 1/13

G09G 3/36

(21)Application number : 04-220383

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.08.1992

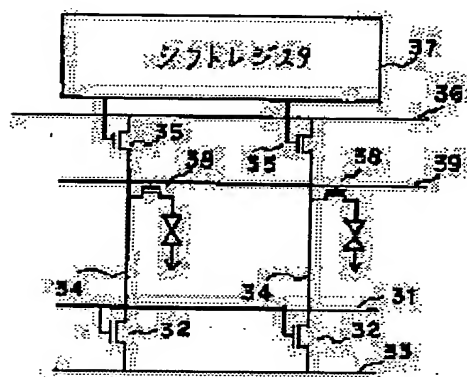
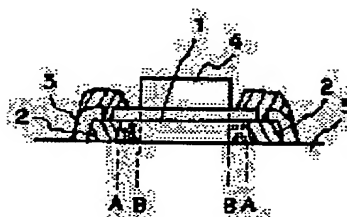
(72)Inventor : KAWACHI YUJI

## (54) LINE DEFECT DETECTION CIRCUIT

## (57)Abstract:

**PURPOSE:** To prevent a cross-talk defect occurring due to a leakage current in a detecting transistor in a line defect detection circuit on an active matrix substrate.

**CONSTITUTION:** In the line defect detection circuit on the active matrix substrate incorporating a horizontal scanning driver circuit, the detecting transistor 32 is made to be an LDD (Lightly Doped Drain) structure or an off-set structure. An off current in the transistor is reduced by these structures, and the cross-talk defect between source lines 34 is prevented. In the section of the transistor, a structure where no impurity atom exists in the thin film silicon of the bottom part of a gate electrode 4 and no impurity atom exists between AB as well is the off-set structure, and the structure where the impurity with lower density than a source drain part 2 exists between AB is the LCD structure.



## LEGAL STATUS

[Date of request for examination] 28.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3108776

[Date of registration] 14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The line defect detector characterized by the thin film transistor which constitutes the line defect detector formed on this active-matrix substrate in the active-matrix substrate which constitutes a liquid crystal display object being LDD (Lightly Doped Drain) structure.

[Claim 2] The line defect detector where the thin film transistor which constitutes this line defect detector is characterized by being offset gate structure.

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a liquid crystal display object.

[0002]

[Description of the Prior Art] Since the display of high resolution is obtained by high definition, the active-matrix liquid crystal panel is widely used as a thin display object in recent years. However, a transistor is used for the pixel unit which constitutes a screen, or since it is a laminated structure, the manufacture yield has been a technical problem. Since the defect discovered especially at a panel erection process also includes the cost of the light filter substrate which is a counterelectrode with a TFT substrate, he needs to drop a defect on inspection with a TFT substrate from Men of a cost cut. In the TFT substrate which contained the driver line on the TFT substrate, the circuit which judges whether a normal signal is written in each data line using the timing which writes in the video signal for liquid crystal panels, and detects the line defect of the data line is utilizable.

[0003] The explanatory view of the above-mentioned line defect detector is shown in

drawing 3 . With the X side shift register 37 which performs a horizontal scanning, the sequential scan of the gate signal of the sample hold transistor 35 is carried out, and a video signal is incorporated by each data line. Detecting the signal of this data line according to the timing of a sample hold transistor of operation consists of a detection transistor 32, a detection terminal 33, and a detection transistor gate input 31 in a line defect detector. If the gate input of a detection transistor is turned on and the detection transistor 32 is made into switch-on, the signal of a data line will arise for the detection terminal 33 for every selection period of a sample hold transistor. The other defects who become an open circuit and line defect of the data line by detecting this signal and comparing with an ordinary wave form, i.e., the defect of a sample hold transistor, the short defect of the data line, etc. are discovered, and it can specify which data line it is.

[0004] In the condition of not conducting this defective detection inspection, the detection transistor 32 needs to set a detection gate input as the appearance which is always non-switch-on. However, when the off leakage current of the detection transistor 32 was large, there was a case where the amplitude of a lifting and a data signal changed a cross talk between adjoining lines, and the data line 34 could serve as a display top line defect through the terminal 3 for detection. Structural drawing in a Prior art is shown in drawing 2 . In the transistor channel section and 2, a source-drain region and 3 have gate dielectric film, and 4 has [ 1 ] composition of a gate electrode. The source-drain region 2 has entered into the channel section side from the end face C of a gate electrode (line of D). This is because it was spread in the channel section side in activation annealing after an impurity dope, when forming a source-drain region with an ion implantation method or a thermal diffusion method for example, after gate electrode patterning. With the conventional-type transistor of such structure, the electric field by the gate electrode act near the drain edge, and leakage current comes to arise by electric-field excitation.

[0005]

[Problem(s) to be Solved by the Invention] With the transistor for detection of a conventional type, since OFF leakage current is the reason that transistor resistance is low, greatly at the time of OFF, a cross talk arises through the terminal line 33 for detection between the adjoining line, and when there is the potential difference between adjoining lines, change of the amplitude of a data signal will produce the data line 34 in drawing 3 . This serves as a line defect from which it is observed as a gradation difference and contrast differs in a line on a display. Moreover, also not only between adjoining lines but between the lines which the potential difference produces, the same thing arises, the unevenness of a vertical line arises, and the homogeneity of

the contrast in Men is lost remarkably.

[0006] In the Prior art, it had the technical problem that the above line defects produced the contrast heterogeneity in a screen.

[0007]

[Means for Solving the Problem] In the line defect detector constituted on the active-matrix substrate which constitutes a liquid crystal display object, it is characterized by the thin film transistor which is a component being LDD (Lightly Doped Drain) structure or offset gate structure.

[0008]

[Example] The equal circuit part drawing of the active-matrix substrate in this invention is shown in drawing 3. The pixel switching transistor 38 writes the data of the data line 34 in the selection time amount of the gate line 39 at pixel capacity. As for data-line 34 HE, data are selectively written in through the sample hold transistor 35 from the video line 36. Such an actuation approach is called point sequential actuation. Outputting the gate input timing which determines the selection period of sample hold TORANJITA 35 has played the role which takes out the output for several horizontal pixel minutes with the shift register circuit of 37. These circuit actuation is altogether performed using the thin film transistor on a glass substrate, the transistor of CMOS is formed, and a circuit is constituted. Thus, it is not necessary to perform multipoint mounting by forming a driver actuator on an active-matrix substrate, and leads to improvement in dependability, a process cutback, and a cost cut. If the electrical property of a thin film transistor is taken into consideration, resistance, capacity, etc. concerning a data line will have a limitation in magnitude, and current commercialization will be carried out the display object of a 1-2 inch vertical angle. As an example, 1 inch and the liquid crystal display object not more than it are used as a finder of the video camera in which a stock scan is possible, or it is widely used as a liquid crystal shutter for projectors.

[0009] Although a panel erection process with the light filter substrate which is a counterelectrode is after the production process of such an active-matrix substrate, there is much what the considerable part has produced among the defects discovered by panel erection Ushiro's display inspection owing to the defect of an active-matrix substrate process. Since at least especially one line defect serves as a defective, the manday of a panel erection process and the cost of a counterelectrode substrate become useless, and it serves as hindrance of cost reduction. In order to avoid such a thing, it will be necessary to inspect and sort out the defect who can become a display top line defect at an active-matrix substrate process. In the active-matrix substrate with a



built-in driver shown by this example, it becomes possible to inspect a line defect using actuation of a driver. The actuation is explained below.

[0010] To a predetermined electrical potential difference and timing, a voltage waveform is impressed and a shift register is operated. A sample electrode holder is dot-order-degree-driven according to the output timing of a shift register, and reads a video signal into a source line. If the fixed electrical potential difference is impressed as a video signal, the electrical potential difference will be impressed to a source line at a sample electrode holder selection period. If it is made the switch-on of the transistor of a detector, according to sample electrode holder selection timing, a source line electrical potential difference will be impressed to the terminal line for detection (drawing 3-33). This signal is detected and detection of a defect is attained by carrying out a compare check to a normal signal.

[0011] At the time of liquid crystal actuation, although the above is detection actuation, this detector needs to make an OFF state the gate input of a detection transistor (drawing 3-32), and needs to carry out it to un-flowing so that it may not operate. When the potential difference produces a source line in the meantime as the off resistance of this transistor is a low value, a cross talk may arise, the amplitude of each source line may change, and an exact gradation display may become impossible.

[0012] Since the sufficiently high condition of off resistance is realizable if the transistor of the LDD structure of this invention or the transistor of offset gate structure is adopted, it becomes possible not to produce the above-mentioned cross talk.

[0013] Next, the LDD structure and offset gate structure in this invention are explained to a detail. The transistor for detection of the line defect detector in this invention has cross-section structure as shown in drawing 1. Patterning of the thin film silicon is formed and carried out on the glass transparence substrate 5. Gate dielectric film 3 is formed on it, and the gate electrode 4 is formed further. Next, although P (Lynn) or B (boron) which be an impurity atom in an ion implantation method or a diffusion method be poured in, the structure which have a source drain field after impregnation outside [ B ] the channel section directly under [ end face / A ] the gate electrode show in drawing 1 be called offset gate structure, and the structure in the condition that a low-concentration impurity atom exist from a source-drain region between A and B be call LDD structure. When such structures were used and an electrical potential difference is impressed between the source and a drain, the electric field near the drain edge are eased and the leakage current by electric-field excitation decreases compared with the conventional structure. As a result, double figures also fall [ the OFF state current ], and off resistance increases conversely. As a manufacturing method of the

thin film silicon used for this structure, there is the approach of forming polycrystalline silicon with a reduced pressure CVD method. Moreover, there is the approach of forming amorphous silicon by the plasma-CVD method, and making recrystallize by the post heating annealing and laser annealing, and forming thin film silicon. Moreover, as a process which realizes LDD structure and offset gate structure, there is an approach control of the amount of etching of gate die length realizes LDD structure and offset gate structure, at the time of patterning of the metal used as a gate electrode, or a semi-conductor. moreover, after patterning of the metal which serves as a gate electrode as other approaches, or a semi-conductor -- the TEOS film -- attaching -- RIE (reactive ion etching) -- there are some which carry out etching patterning of the TEOS film vertically by law, and form an impurity range after that. It becomes possible to realize LDD structure or offset gate structure by taking such an approach, and to decrease the OFF state current of a transistor. The cross talk between source lines is lost by using this transistor in a line defect detector, and the defect whom a detector produces owing to can decrease and can contribute now to the improvement in the yield.

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The transistor sectional view for line defect detection of this invention.

[Drawing 2] The TORAJISUTA sectional view for line defect detection in a Prior art.

[Drawing 3] An active-matrix substrate representative circuit schematic including a line-defect-detector.

[Description of Notations]

- 1 Transistor Channel Section
- 2 Transistor Source-drain Region
- 3 Gate Dielectric Film
- 4 Gate Electrode
- 5 Glass Substrate
- 31 Detection Transistor Gate Electrode Wiring in Line Defect Detector
- 32 Line Defect Detection Transistor
- 33 Terminal for Line Defect Detection
- 34 Source Line
- 35 Sample Hold Transistor
- 36 Video Line
- 37 Shift Register Circuit for Horizontal Scannings

38 Pixel Transistor  
39 Gate Line

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**